

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007914826 **Image available**

WPI Acc No: 89-179938/198925

XRPX Acc No: N89-137403

Active-matrix liquid crystal display - has two thin film transistors provided in vicinity of transparent electrodes connected to gate and source lines

Patent Assignee: SHARP KK (SHAF)

Inventor: MITSUMUNE T; NAKAZAWA K; TAKE H; MITSUMUNE T

Number of Countries: 006 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 321073	A	19890621	EP 88309129	A	19880930		198925 B
JP 1161316	A	19890626	JP 87322257	A	19871218		198931
US 4930874	A	19900605	US 88250696	A	19880928		199026
EP 321073	B1	19940126	EP 88309129	A	19880930	G02F-001/133	199404
DE 3887484	G	19940310	DE 3887484	A	19880930	G02F-001/133	199411
			EP 88309129	A	19880930		

Priority Applications (No Type Date): JP 87322257 A 19871218

Cited Patents: A3...9028; EP 31143; FR 2571913; No-SR.Pub

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
EP 321073	A	E	6			

Designated States (Regional): DE FR GB NL

EP 321073 B1 E 8

Designated States (Regional): DE FR GB NL

DE 3887484 G Based on EP 321073

Abstract (Basic): EP 321073 A

The device comprises an insulating substrate (1) carrying a number of transparent electrodes (2) in a matrix fashion to form a number of pixels. Two thin film transistors (3), each having a drain, source and gate electrode, are laid close to the transparent electrodes with the drain electrode connected to the transparent electrode.

A common gate electrode line (G) is provided for each row of the transparent electrodes and at right angles to them are source electrode lines (S) for each column to provide connections to external circuits.

A method for testing is disclosed.

ADVANTAGE - Thin film transistors in the display can be inspected without damage with reduced production time and cost. 1/4

Title Terms: ACTIVE; MATRIX; LIQUID; CRYSTAL; DISPLAY; TWO; THIN; FILM; TRANSISTOR; VICINITY; TRANSPARENT; ELECTRODE; CONNECT; GATE; SOURCE; LINE

Derwent Class: P81; P85; U12; U14

International Patent Class (Main): G02F-001/133

International Patent Class (Additional): G01R-031/28; G02F-001/13;

G09F-009/35; G09G-003/00; G09G-035/26; H01L-027/12

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02863716 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 01-161316 [JP 1161316 A]

PUBLISHED: June 26, 1989 (19890626)

INVENTOR(s): MITSUMUNE TOSHIFUMI

TAKE HIROSHI

NAKAZAWA KIYOSHI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-322257 [JP 87322257]

FILED: December 18, 1987 (19871218)

INTL CLASS: [4] G02F-001/133; G01R-031/28; G09F-009/35; G09G-003/36;
H01L-027/12

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
-- Other); 46.1 (INSTRUMENTATION -- Measurement)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 936, Vol. 13, No. 428, Pg. 110,
September 25, 1989 (19890925)

ABSTRACT

PURPOSE: To inspect the characteristics of thin film transistors (TRs) without damaging the thin film TRs by providing transparent electrodes, the thin film TRs and source electrode lines on an insulating substrate.

CONSTITUTION: The source electrode lines $S(\text{sub } 1)$, $S(\text{sub } 2)\text{-Sn}$, $\text{Sn}+1$ corresponding to the number of thin film TRs to be connected to the external by individually connecting the source electrodes 6, 7 of respective thin film TRs 2, 3. In case of inspecting the characteristics of the TRs 2, 3 for driving plural picture elements 1, respective source electrode lines $S(\text{sub } 1)$, $S(\text{sub } 2)\text{-Sn}$, $\text{Sn}+1$ are constituted so that voltage +V for specific inspection is easily impressed, and an ammeter 12 for measuring current flowing into the transparent electrode 1 is easily connected. Thus, the characteristics of the thin film TRs can be inspected without damaging the TRs.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-161316

⑪ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 平成1年(1989)6月26日
G 02 F 1/133	3 2 7	7370-2H	
G 01 R 31/28		U-6912-2G	
G 09 F 9/35		F-7335-5C	
G 09 G 3/36		8621-5C	
H 01 L 27/12		A-7514-5F	審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 液晶表示装置

⑮ 特 願 昭62-322257

⑯ 出 願 昭62(1987)12月18日

⑰ 発 明 者 光 宗 敏 文 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱ 発 明 者 武 宏 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 発 明 者 中 沢 清 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 野河 信太郎

明 細 書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

1. マトリックス状に配置される複数の検素に対応する複数の透明電極と、それぞれの透明電極ごとにそれぞれのドレイン電極が接続される複数の検素駆動用の薄膜トランジスタと、薄膜トランジスタのそれぞれのソース電極が個別に接続されて外部と接続可能になる薄膜トランジスタの個数に等しい本数のソース電極ラインとが絶縁性基板上に設けられてなることを特徴とする液晶表示装置。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明はアクティブマトリックス型の液晶表示装置に関し、さらに詳しくは検素駆動用の薄膜トランジスタの接続構造に関する。

(ロ) 従来の技術

従来、アクティブマトリックス型の液晶表示装

置では、第4図に示すように、それぞれの検素に対応する透明電極(ITO) a ごとに検素駆動用の薄膜トランジスタ b が1個接続されている。それぞれの薄膜トランジスタ b のドレイン電極 c はそれぞれの検素の透明電極 a に接続され、それぞれのソース電極 d はそれぞれの列ごとの共通のソース電極ライン e に、またそれぞれのゲート電極 f はそれぞれの行ごとの共通のゲート電極ライン g にそれぞれ接続されている。上記透明電極 a、薄膜トランジスタ b、それぞれの列ごとのソース電極ライン e およびそれぞれの行ごとのゲート電極ライン g は絶縁性基板 h 上に形成されている。

(ハ) 発明が解決しようとする問題点

上記の構造を有する液晶表示装置において、薄膜トランジスタ b の特性検査は、薄膜トランジスタ b のドレイン電極 c に接続される検素の透明電極 a に、針状のプロブを接触(圧接)させてソース電極 d に電圧を印加しゲート電極 f にスレリフォルド電圧以上の電圧を印加して、透明電極 a に流れる電流を測定して検査していた。

特開平1-161316(2)

しかしながら、上記の特性検査方法では、検査の透明電極aのピッチが狭いことや検査の数が多いため、全ての検査について検査することが困難であった。加えて、針状のプローブを検査の透明電極aに接触させることによって、薄膜トランジスタを傷つける可能性があり、また薄膜トランジスタの特性は、カラー液晶表示装置の場合には、白、黒色表示することにより、検査欠陥を判定していたため製造コストがかかるものであった。

この発明は上記の事情を考慮してなされたもので、検査駆動用の薄膜トランジスタを傷つけることなく薄膜トランジスタの特性検査をおこなうことができる液晶表示装置を提供しようとするものである。

(二) 問題点を解決するための手段

かくしてこの発明によれば、マトリックス状に配置される複数の検査に対応する複数の透明電極と、それぞれの透明電極ごとにそれぞれのドレイン電極が接続される複数の検査駆動用の薄膜トランジスタと、薄膜トランジスタのそれぞれのソース電極が個別に接続されて外部と接続可能になる

薄膜トランジスタの個数に等しい本数のソース電極ラインとが絶縁性基板上に設けられてなることを特徴とする液晶表示装置が提供される。

絶縁性基板上に設けられる、複数の、たとえば2個の検査駆動用の薄膜トランジスタ2、3の、それぞれのドレイン電極4、5が接続される。また同じ列方向の薄膜トランジスタ2のソース電極6は1本の共通のソース電極ラインS1に接続されるとともに、薄膜トランジスタ3のソース電極7はソース電極ラインS2に接続される。同様にして、第n列の列方向のそれぞれの薄膜トランジスタ2、3はそれぞれソース電極ラインS_n、S_{n+1}に接続される。すなわち、ソース電極ラインは薄膜トランジスタの個数と等しい本数が絶縁性基板上に形成されて、後述するごとく外部とそれぞれのソース電極6、7を接続可能にするものである。さらに、同じ行方向のそれぞれの薄膜トランジスタ2、3のゲート電極8、9は、1本のゲート電極ラインG1、G2、……G_mにそれぞれ接続される。それぞれの薄膜トランジスタ2、3はそれぞれの行の透明電極1とそれぞれの行のゲート電極ラインG1、G2……G_mとの間に形成される。またそれぞれのソース電極ラインS1、

ソース電極が個別に接続されて外部と接続可能になる薄膜トランジスタの個数に等しい本数のソース電極ラインとが絶縁性基板上に設けられてなることを特徴とする液晶表示装置が提供される。

(ホ) 作用

複数の検査を駆動する薄膜トランジスタの特性検査をおこなうに際して、それぞれのソース電極ラインは、特性検査のための電圧を印加しやすくするとともに透明電極に流れる電流を測定する電流計を接続しやすくする。よって薄膜トランジスタを傷つけることなく薄膜トランジスタの特性検査がおこなえる。

(ヘ) 実施例

以下この発明の実施例を図面にて詳述するが、この発明は以下の実施例に限定されるものではない。

第1図において、1は透明電極で、マトリックス状に配置される複数の検査にそれぞれ対応して、たとえばガラス基板などの絶縁性基板(図示しない)上に設けられる。それぞれの透明電極1には、

S2……S_n、S_{n+1}はそれぞれの列の透明電極1の間に形成される。

つぎにこの実施例における薄膜トランジスタ2、3の特性検査の方法について、第2図を交えて説明する。

第2図に示すように、特性検査対象となる薄膜トランジスタ2、3がある列、ここでは第1列の薄膜トランジスタ2、3のゲート電極8、9が接続されているゲート電極ラインG1に、外部より薄膜トランジスタ駆動電圧を印加し、ソース電極ラインS1に外部のスイッチ10を介して電圧+Vの電源11を接続する。そしてソース電極ラインS2に電流計12を接続する。

上記の状態において、薄膜トランジスタ2、3が正常であれば、電流が薄膜トランジスタ2のソース電極6からドレイン電極4へ流れ、さらに薄膜トランジスタ3のドレイン電極5からソース電極7へ流れる。したがって、ソース電極ラインS2に接続された電流計12が所定の電流値を指示するものとなる。上記とは逆に、薄膜トランジ

特開平1-161316(3)

タ2, 3のいずれかあるいは両方が異常であれば電流計12は所定の電流値を指示しないので、薄膜トランジスタ2, 3の異常(不良)を把握することができる。

同様にして、上記の接続状態からゲート電極ラインG1に印加されていた薄膜トランジスタ駆動電圧を順次ゲート電極ラインG2, ……Gmに切り換えて印加することにより、第1列の薄膜トランジスタ2, 3の特性検査がおこなえる。さらに、電源11と電流計12とをそれぞれソース電極ラインS3, S4, ……Sn, Sn+1に順次切り換えて接続するとともに、上記したごとくゲート電極ラインG1, G2, ……Gmに薄膜トランジスタ駆動電圧を順次切り換え印加することによって、全ての薄膜トランジスタ2, 3の特性検査をおこなうことができる。

特性検査が完了すれば、第3図に示すように、それぞれの列ごとに1対をなすソース電極ラインS1, S2, S3, S4, ……Sn, Sn+1を短絡させることにより、1つの検査に対し2つの

検査駆動用の薄膜トランジスタ2, 3が接続されることとなる。

なお上記実施例においては、薄膜トランジスタが2個の例を説明したが、薄膜トランジスタは2個以上であってもよく、その場合それぞれの薄膜トランジスタのドレイン電極は透明電極に接続され、ソース電極はそれぞれ個別にソース電極ラインに接続される。そして、薄膜トランジスタの特性検査をおこなう場合、1本のソース電極ラインに電圧を印加し、残るソース電極ラインに電流計を接続して電流をモニターすれば、1つの検査に接続されている複数個の薄膜トランジスタの特性を上記同様に検査することができる。

(ト) 発明の効果

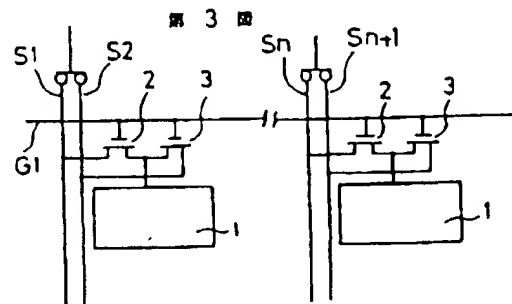
この発明によれば、検査駆動用の薄膜トランジスタを備つけることなく薄膜トランジスタの特性検査が容易におこなえるとともに、1つの検査に接続されている複数の薄膜トランジスタの特性が1つでも一定レベル以上であれば、表示の際に点欠陥を生じず表示品位を低下させない液晶表示装置

置が得られる。

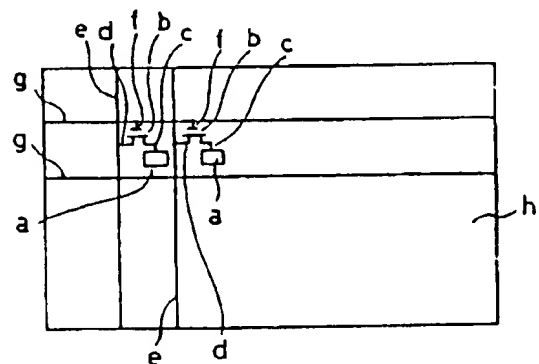
4. 図面の簡単な説明

第1図は、この発明の実施例における配線構造を示す部分構造模式図、第2図は実施例の薄膜トランジスタの特性検査方法を説明するための電気配線図、第3図は実施例の最終結線構造を示す部分構造模式図、第4図は従来例における一部省略構造模式図である。

- 1……透明電極、2, 3……薄膜トランジスタ、
- 4, 5……ドレイン電極、
- 6, 7……ソース電極、
- S1, S2, S3, S4, Sn, Sn+1
- ……ソース電極ライン、
- G1, G2, Gm……ゲート電極ライン。



第4図

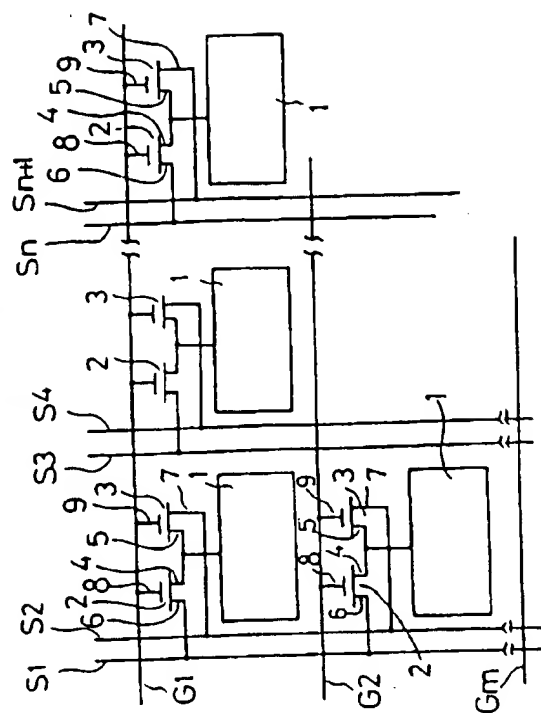


代理人 非理士 野河 信太郎



特開平1-161316(4)

第 1 図



第 2 図

